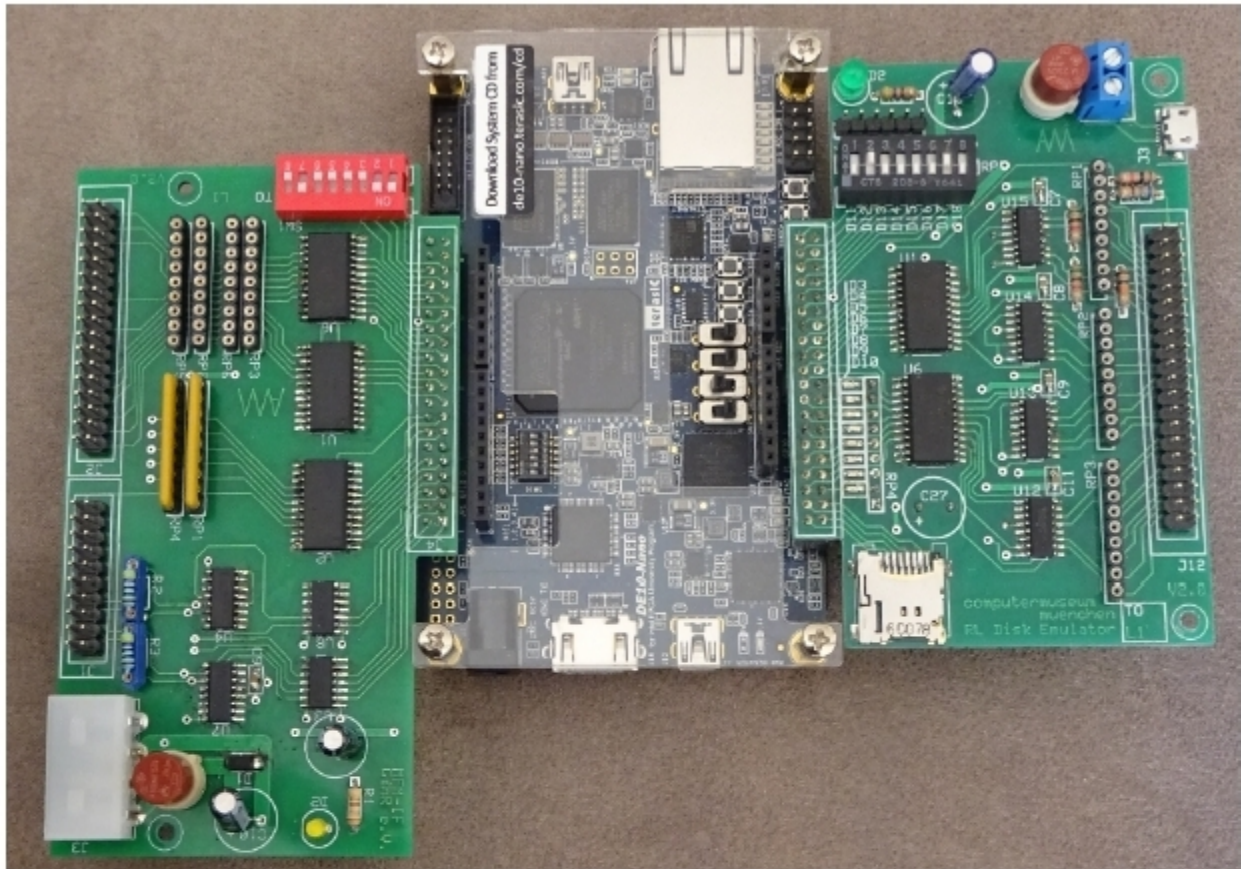


Zusammenführung von RL01/RL02 und MFM Disk Emulator Platinen für das DE10-Nano board

MFM(ST506) + RL01/RL02 Disk Emulator



MFM – Disk
Emulator
Interface
Chapter 1.2

DE10-Nano
SoC /HPS
Board

RL01/RL02
Emulator
Interface
Chapter 1.1

In processing:
Merging of both interface
+ additional options

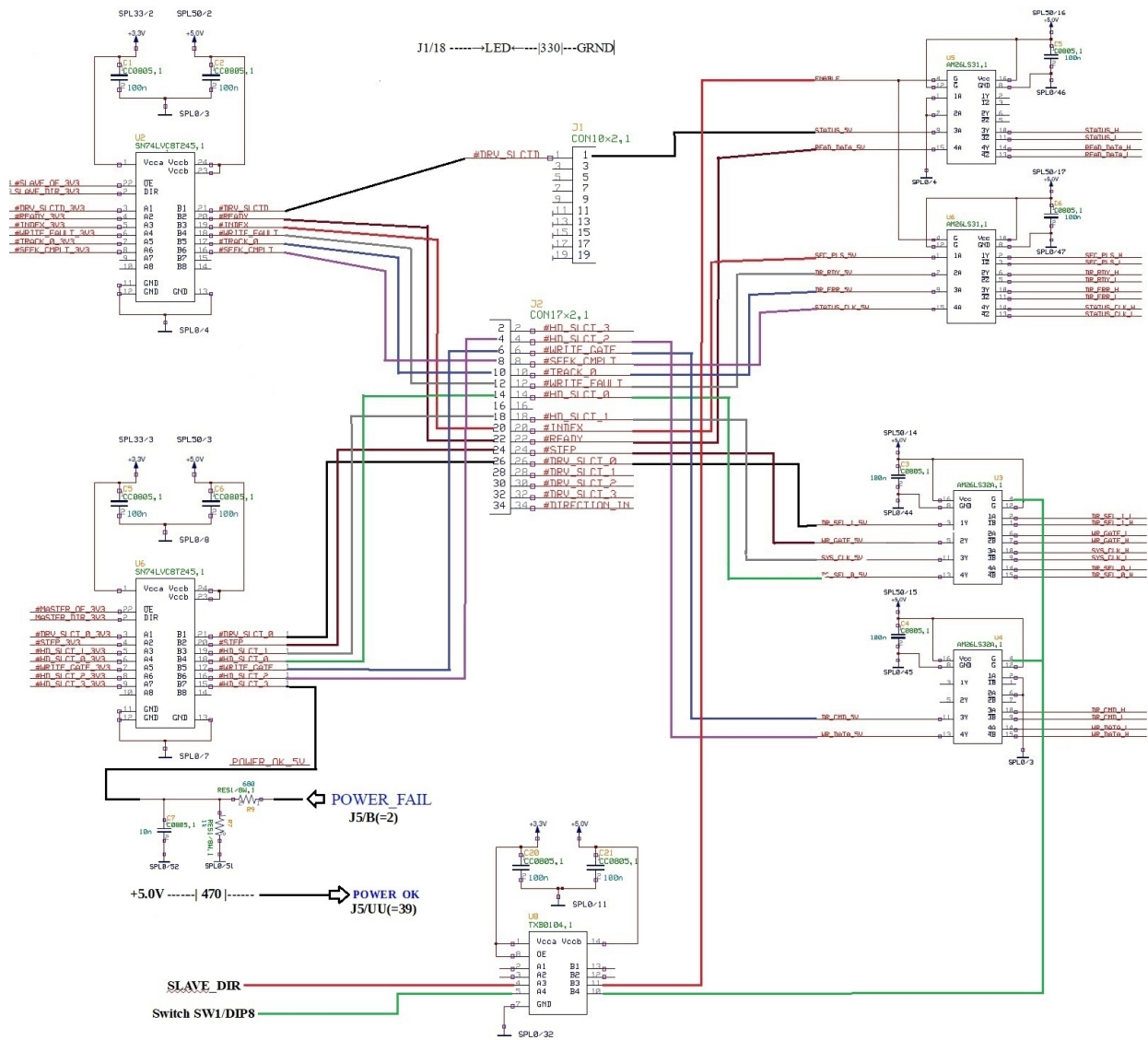
Ausgehend vom MFM Emulator board wird ein differential Treiber/Receiver Teil, bestehend aus 2 AM26LS32 und 2 AM26LS31 hinzugefügt wie es bereits beim RL Emulator Board implementiert ist. Das Board wird dabei mit dem DE10-Nano Board über einen 40 pol. Flachbandkabel verbunden (siehe Prototyp Beispiel). Folgende Änderungen und Ergänzungen sind notwendig.

- 2mal 2 AM26LS31 und 2mal 2 AM26LS32 zusätzlich implementieren wie im RL01/RL02 Emulator Board: U3/U4 und U5/U6. Die zusätzlichen Chips sind **U5** und **U6** (TX = AM26LS31) und **U3** und **U4** (RX = AM26LS32)
Die dazu kommenden Signale sind auch auf den Connectoren **J1** und **J2** vorhanden und es ist folgendes zu beachten, siehe auch Schaltplan:
- Die 6 Transmitter Signale vom MFM-Emulator Board werden von den Chip U2, = SN74LVC8T345 zu U50/U40 = AM26LS31 verschaltet:

Signal #DRV_SLCTD,	U2/21	---wird zu-->	STATUS_5V	U5/9
Signal #READY,	U2/20	---wird zu-->	READ_DATA_5V	U5/15
Signal #INDEX,	U2/19	---wird zu-->	SEC_PLS_5V	U6/1
Signal #WRITE_FAULT,	U2/18	---wird zu-->	DR_RDY_5V	U6/7
Signal #TRACK_0,	U2/17	---wird zu-->	DR_ERR_5V	U6/9
Signal #SEEK_CMPLT	U2/16	---wird zu-->	STATUS_CLK_5V	U6/15
- Die 6 Receiver Signale vom MFM-Emulator Board werden von den Chip U6, = SN74LVC8T345 zu U30/U20 = AM26LS32 verschaltet:

Signal #DRV_SLCT_0,	U6/21	---wird zu-->	DR_SEL_1_5V	U3/3
Signal #STEP,	U6/20	---wird zu-->	WR_GATE_5V	U3/5
Signal #HD_SLCT_1,	U6/19	---wird zu-->	SYS_CLK_5V	U3/11
Signal #HD_SLCT_0,	U6/18	---wird zu-->	DR_SEL_0_5V	U3/13
Signal #WRITE_GATE,	U6/17	---wird zu-->	DR_CMD_5V	U4/11
Signal #HD_SLCT_2,	U6/16	---wird zu-->	WR_DATA_5V	U4/13
Signal #HD_SLCT_2,	U6/15	--->>	wird POWER_FAIL	
- Steuer Signal für die beiden Transmitter U5/U6: Das Signal SLAVE_DIR wird zum übrigen Eingang v. U8/4(=A3) TXB0104 geschaltet. Der Ausgang U8/11(=B3) wird zum Enable Signal, RL_ENABLE Pin 4 von U5/U6.
- Steuer Signal für die beiden Receiver U3/U4: DIP **Switch SW1/DIP8** : Der Ausgang, Pin 16 wird zum übrigen Eingang v. U8/5(=A4) TXB0104 geschaltet. Der Ausgang U8/10(=B3)wird zum Enable Signal, RL_SLAVE Pin 4 von U3/U4.
- **POWER_OK / POWER_FAIL** Signal.
 - A) PIN VV (40) über einen Widerstand von ca 470 mit +5Volt verbunden werden , Clone Mode (war bisher auf Ground bei J5).
 - B) **PIN B (2) über die Widerstände R7/R9 und C7 mit U6/15 verbinden**
- Der übrige J1/18 vom DE10-Nano Connector wird benötigt um eine LED anzusteuern, also über einen Widerstand (300Ohm) mit Ground verschalten.
- Alle Terminator-Sockel wie bisher implementieren.

Verbindungs - Signale:

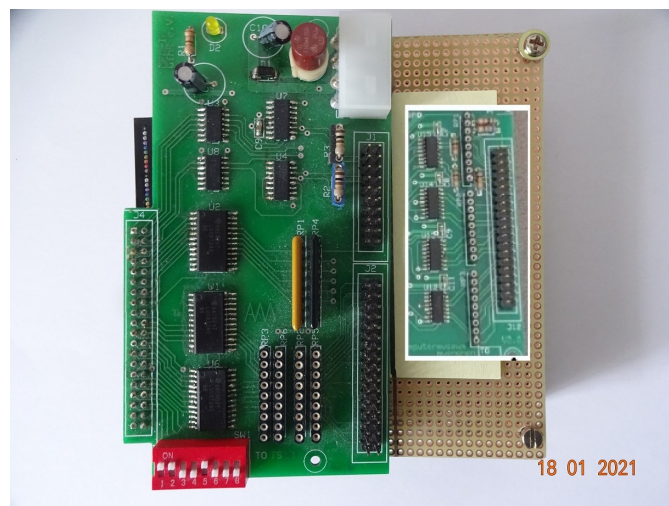
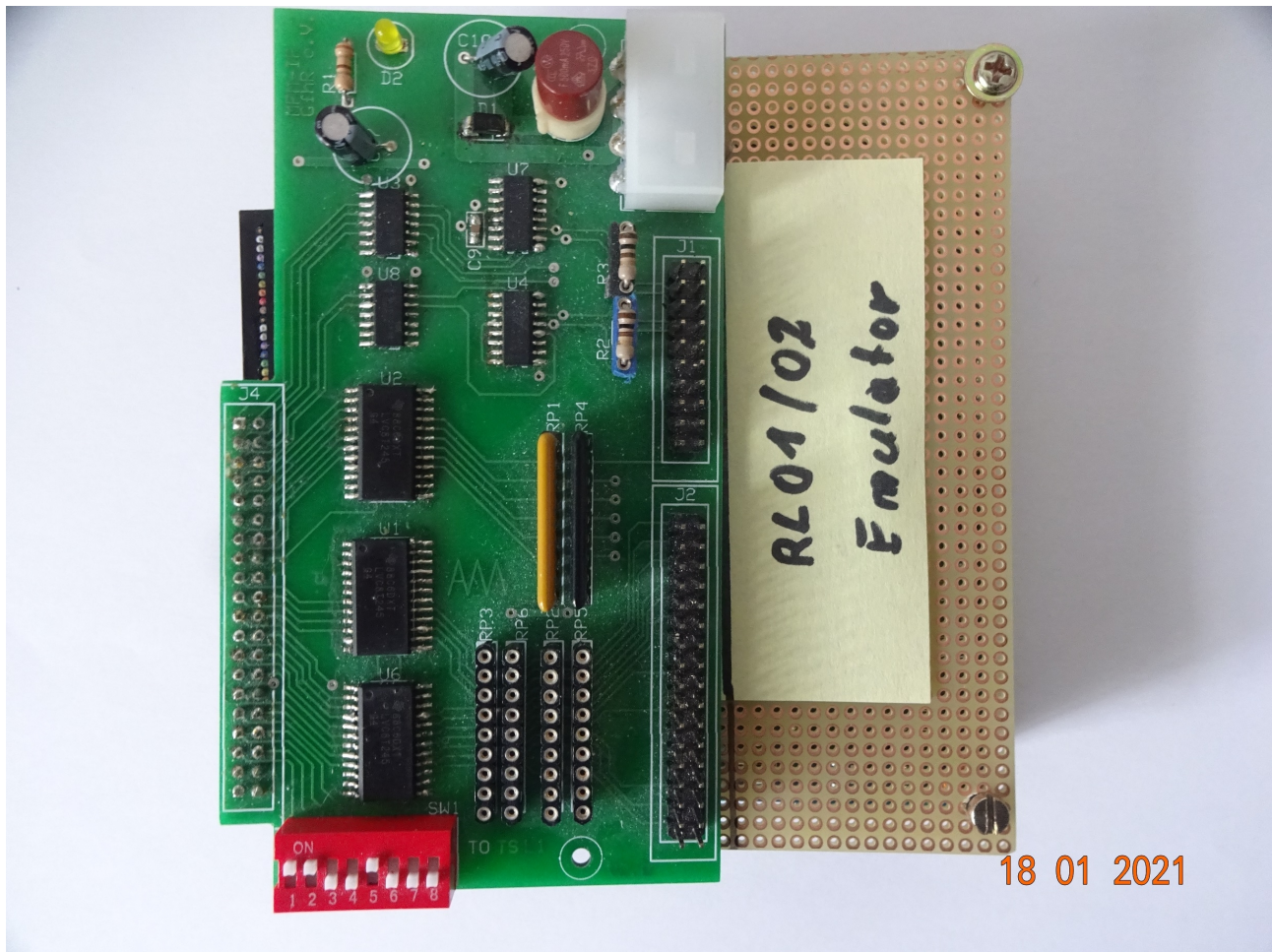


Aufbau:



Rückseite:





Spannungsversorgung: Bitte USB -B verwenden (wie bei RL01/RL02)

- Alle Steckleisten (FPGA/MFM/RL) nicht einlöten .

Kontakt:

Reinhard Heuberger

www.pdp11gy.com info@pdp11gy.com

Mobil: 0151 22724930